

# PICTURE PROCESSOR

Publication number: JP10224577

Publication date: 1998-08-21

Inventor: MIYAMOTO TSUNEHARU; SUZUKI TATSUHISA;  
WATABE HIROYOSHI

Applicant: FUJI XEROX CO LTD

Classification:

- International: B41J29/38; B41J5/30; H04N1/00; H04N1/21;  
H04N1/32; B41J29/38; B41J5/30; H04N1/00;  
H04N1/21; H04N1/32; (IPC1-7): H04N1/21; B41J5/30;  
B41J29/38; H04N1/00; H04N1/32

- European:

Application number: JP19970022899 19970205

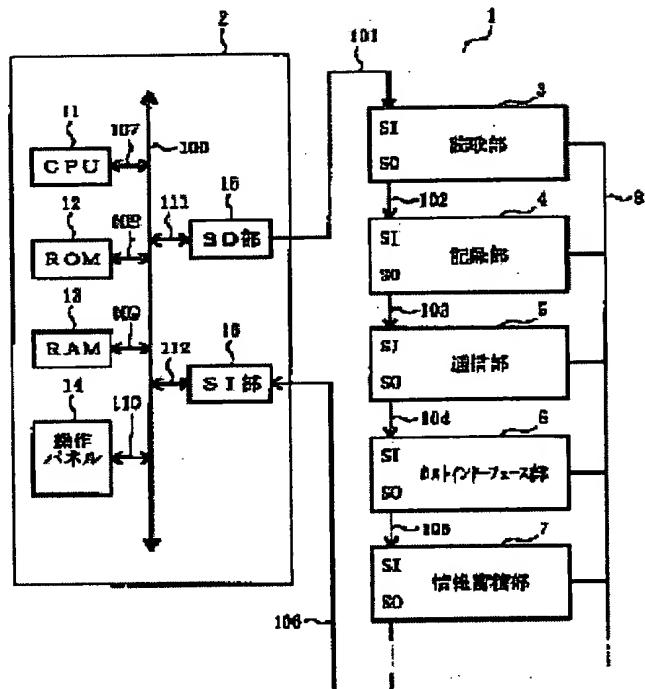
Priority number(s): JP19970022899 19970205

[Report a data error here](#)

## Abstract of JP10224577

**PROBLEM TO BE SOLVED:** To attain highly extensive control and efficient data transfer processing between processing blocks having a processing speed difference by transmitting control information to all picture processing blocks through a control signal line.

**SOLUTION:** A reading part 3, a recording part 4, a communication part 5, a host interface part 6, and an information storage part 7 consist of respectively independent modules and constitute a picture processing means as a whole. A signal line 8 for mutually connecting these parts 3 to 7 in common includes four signal lines consisting of a signal line for transmitting picture data, a signal line for transmitting a synchronizing signal, a page synchronizing signal line to be a signal line for transmitting the synchronizing signal, and a clot synchronizing signal line. An SO part 15 in a control part 2 is connected to respective parts 3 to 7 in series through signal lines 101 to 106 and transmits a control signal outputted from a CPU 11 to respective parts 3 to 7.



(51) Int.Cl.<sup>6</sup>  
 H 04 N 1/21  
 B 41 J 5/30  
 29/38  
 H 04 N 1/00  
 1/32

識別記号

F I  
 H 04 N 1/21  
 B 41 J 5/30  
 29/38  
 H 04 N 1/00  
 1/32

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21)出願番号 特願平9-22899

(22)出願日 平成9年(1997)2月5日

(71)出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号(72)発明者 宮本 恒晴  
埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内(72)発明者 鈴木 達久  
埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内(72)発明者 渡部 弘好  
埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

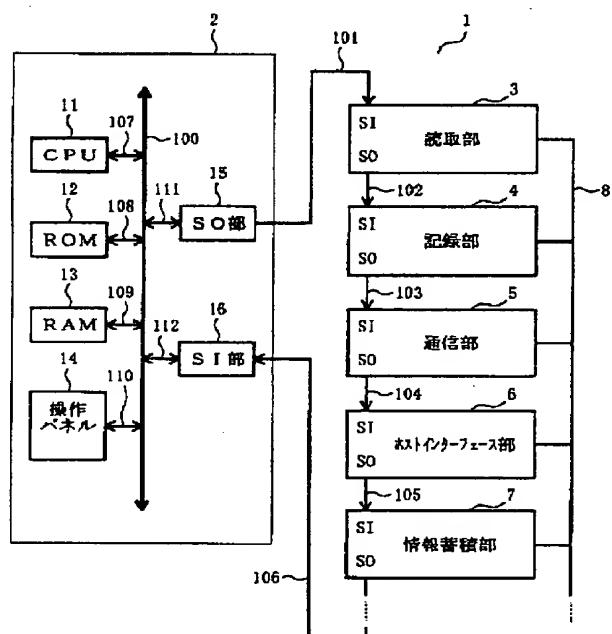
(74)代理人 弁理士 山内 梅雄

## (54)【発明の名称】 画像処理装置

## (57)【要約】

【課題】 複数の画像処理ブロックを有する画像処理装置において、拡張性の高い制御を行い、処理速度に差のある画像処理ブロック間でのデータ転送処理を効率よく行うこと。

【解決手段】 画像信号線8を介して画像同期信号または画像データ信号の入力または出力をを行う画像伝送部と、制御信号線101～112を介して所定の制御情報の入出力を行う情報伝送部とを有する複数の画像処理ブロック3～7を備え、これら画像処理ブロック3～7の情報伝送部間を制御信号線101～112で直列接続してなる画像処理手段と、この画像処理手段における初段の画像処理ブロック3の情報伝送部に対して制御情報を出力する情報出力部15と、画像処理手段における最終段の画像処理ブロックの情報伝送部から出力される制御情報を入力する情報入力部16とを有する制御手段2とを備えるように構成する。



## 【特許請求の範囲】

【請求項1】 画像信号線を介して画像同期信号または画像データ信号の入力または出力を行う画像伝送部と、制御信号線を介して所定の制御情報の入出力を行う情報伝送部とを有する複数の画像処理ブロックを備え、これら画像処理ブロックの情報伝送部間を制御信号線で直列接続してなる画像処理手段と、

この画像処理手段における初段の画像処理ブロックの情報伝送部に対して制御情報を出力する情報出力部と、画像処理手段における最終段の画像処理ブロックの情報伝送部から出力される制御情報を入力する情報入力部とを有する制御手段とを具備することを特徴とする画像処理装置。

【請求項2】 前記制御手段より出力される制御情報は、任意の画像処理ブロックを指定する指定情報と、所望の動作を指示する指示情報とを含み、前記画像処理ブロックは、入力部より入力される制御情報に含まれる指定情報を自ブロックを指定したものと判断した場合、制御情報に返答情報を付加して出力部より出力することを特徴とする請求項2記載の画像処理装置。

【請求項3】 前記制御手段は、入力部より入力された制御情報において返答情報を付加した画像処理ブロックを制御対象として認識する接続ブロック認識部と、接続ブロック認識部によって認識された各画像処理ブロックの画像データ信号転送能力を判定する転送能力判定部と、

転送能力判定部によって判定された転送能力に基づいて、あらかじめ画像データ信号を蓄積すべく設けられたバッファメモリの使用量を求める演算部とを具備することを特徴とする請求項1または2記載の画像処理装置。

【請求項4】 前記画像処理ブロックの少なくとも1つを画像データ信号を蓄積するためのバッファメモリとすることを特徴とする請求項3記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、複数の画像処理部を有する画像処理装置に係り、特に、各画像処理部を効率よく制御する制御処理に関する。

## 【0002】

【従来の技術】 従来、画像データ用の入出力信号線を介して画像データを相互にやりとりする画像処理部を複数備える画像処理装置としては、図17に示すような画像処理装置がある。この画像処理装置501は、画像処理装置501における処理の全体制御を行う制御部502と、制御部502から信号線601を介して出力される制御信号に基づき所望の画像データを読み取る画像読取部503と、制御部502から信号線602を介して出力される制御信号に基づき画像データを記録する画像記録部504と、制御部502から信号線603を介して

出力される制御信号に基づき外部装置との間で通信によるデータの送受信を行う通信部505と、制御部502から信号線604を介して出力される制御信号に基づいて、図示しないパソコン等のホスト装置との入出力インターフェースとなるホストインターフェース部50とを備えている。

【0003】 画像読取部503、画像記録部504、通信部505、ホストインターフェース部506は、それぞれ独立したモジュール（以下、サブモジュールと呼称する）を構成し、各サブモジュールは、画像データ用信号線507によって相互に共通接続されている。なお、図17中、信号線601～604は、制御部502から各サブモジュールに対してコマンドを転送するためのコマンド用信号線601S～604Sと、各サブモジュールから制御部502に対してコマンドに対するレスポンスを返送するためのレスポンス用信号線601R～604Rとを備えている。

【0004】 制御部502は、システムバス600に対し、信号線605を介して接続するCPU(Central Processing Unit)511と、信号線606を介して接続するROM(Read Only Memory)512と、信号線607を介して接続するRAM(Random Access Memory)513と、信号線608を介して接続する操作パネル514と、信号線609を介して接続するシリアル入出力部（以下、本文および図中において、シリアル入出力部をSIO部と略す）515と、信号線610を介して接続するSIO部516と、信号線611を介して接続するSIO部517と、信号線612を介して接続するSIO部518とを備えている。

【0005】 ここで、CPU511は、制御部502の中枢となるプロセッサであり、ROM512内に格納されたプログラム処理手順に基づいて、各種制御処理を実行する。ROM512は、CPU511によって利用される各種制御プログラムやデータ等を格納する半導体メモリであり、RAM513は、CPU511におけるプログラム処理実行中に利用されるプログラムデータ等を格納したり、処理に関連するデータ等を一時的に記憶し、作業領域として利用するための半導体メモリである。

【0006】 SIO部515は、信号線601を介して接続される画像読取部503に対して、CPU61から出力されるコマンドを出力するとともに、その返信であるレスポンスを入力するためのものであり、同様に、SIO部516は、信号線602を介して接続される画像記録部504に対して、SIO部517は、信号線603を介して接続される通信部505に対して、SIO部518は、信号線604を介して接続されるホストインターフェース部506に対して、CPU511から出力されるコマンドを出力するとともに、レスポンスを入力するためのものである。

## 【0007】

【発明が解決しようとする課題】しかしながら、このような従来の画像処理装置502にあっては、各サブモジュールごとに所望の制御を行うために、信号線601～604によって1対1の接続が必要であったため、制御部502は、制御対象となるサブモジュール数と同数のS10部515～518を用意する必要がある。すなわち、システム設計時に接続を予定しているサブモジュール以外は、接続することができないため、拡張予定外のサブモジュールを新規に追加することはできず、拡張性に乏しいという問題点があった。

【0008】また、各サブモジュールは、それぞれ所定の内部処理を行うためのCPUを備えているが、このCPUの処理能力や、キャッシュメモリの有無、搭載メモリの容量などの違いにより、各サブモジュールは、一般に画像データの転送処理速度が異なる。このため、データ転送速度に差のあるサブモジュール間でのデータ転送処理では、データ転送の早いサブモジュール側がデータ転送の遅いサブモジュールに合わせるような形となり、処理速度を有效地に発揮できないサブモジュールが発生するという問題もあった。

【0009】そこで本発明の目的は、上記問題点を解決するため、複数の画像処理ブロックを有する画像処理装置において、拡張性の高い制御を行うことを第1の目的とし、処理速度に差のある画像処理ブロック間でのデータ転送処理を効率よく行うことを第2の目的とする。

## 【0010】

【課題を解決するための手段】請求項1記載の発明では、画像信号線を介して画像同期信号または画像データ信号の入力または出力を行う画像伝送部と、制御信号線を介して所定の制御情報の入出力をを行う情報伝送部とを有する複数の画像処理ブロックを備え、これら画像処理ブロックの情報伝送部間を制御信号線で直列接続してなる画像処理手段と、この画像処理手段における初段の画像処理ブロックの情報伝送部に対して制御情報を出力する情報出力部と、画像処理手段における最終段の画像処理ブロックの情報伝送部から出力される制御情報を入力する情報入力部とを有する制御手段とを備えるように構成している。これによって、制御手段から出力した制御情報を、制御信号線を介してすべての画像処理ブロックに対して伝送することができるため、制御手段は、画像処理ブロックの増加に伴う入力部および出力部の増加を抑えることができる。

【0011】請求項2記載の発明では、制御手段より出力される制御情報は、任意の画像処理ブロックを指定する指定情報と、所望の動作を指示する指示情報とを含み、画像処理ブロックは、入力部より入力される制御情報に含まれる指定情報が自ブロックを指定したものと判断した場合、制御情報に返答情報を付加して出力部より出力するように構成している。これによって、制御情報

は目的の画像処理ブロックに対して正確に到達する。

【0012】請求項3記載の発明では、制御手段は、入力部より入力された制御情報において返答情報を付加した画像処理ブロックを制御対象として認識する接続ブロック認識部と、接続ブロック認識部によって認識された各画像処理ブロックの画像データ信号転送能力を判定する転送能力判定部と、転送能力判定部によって判定された転送能力に基づいて、あらかじめ画像データ信号を蓄積すべく設けられたバッファメモリの使用量を求める演算部を備えるように構成している。これによって、転送能力の低い画像処理ブロックについては、バッファメモリを利用してあらかじめ画像データを蓄積しておくことで、転送能力の高い画像処理ブロックの処理速度を犠牲にすることはない。

【0013】請求項4記載の発明では、画像処理ブロックの少なくとも1つを画像データ信号を蓄積するためのバッファメモリとするように構成している。これによって、任意の容量をもったバッファメモリを容易に増設することができる。

## 【0014】

【発明の実施の形態】以下、図示した一実施例に基づいて本発明を詳細に説明する。

【0015】第1の実施例

【0016】図1は、本発明の第1の実施例における画像処理装置の要部構成を示すものである。本実施例での画像処理装置1は、画像処理装置1における処理の全体制御を行う制御部(制御手段)2と、制御部2から信号線101を介して出力される制御信号に基づき所望の画像データを読み取る読み取部(画像処理ブロック)3と、読み取部3から信号線102を介して出力される制御信号に基づき画像データを記録する記録部(画像処理ブロック)4と、記録部4から信号線103を介して出力される制御信号に基づき外部装置との間で通信によるデータの送受信を行う通信部(画像処理ブロック)5と、通信部5から信号線104を介して出力される制御信号に基づいて、図示しないパソコン等のホスト装置との入出力インターフェースとなるホストインターフェース部(画像処理ブロック)6と、ホストインターフェース部6から信号線105を介して出力される制御信号に基づいて画像データの蓄積および送出を行う情報蓄積部(画像処理ブロック兼バッファメモリ)7とを備えている。

【0017】読み取部3、記録部4、通信部5、ホストインターフェース部6、情報蓄積部7は、それぞれ独立したモジュール(以下、読み取部3、記録部4、通信部5、ホストインターフェース部6、情報蓄積部7をそれぞれサブモジュールと呼称する)からなり、各サブモジュール全体で画像処理手段を構成している。また、各サブモジュールは、信号線(画像信号線)8によって相互に共通接続されている。なお、図1中、信号線8は、1本の信号線として表されているが、実際には、画像データを

伝送するための画像データ用信号線と、同期信号を伝送するための同期信号用信号線となるページ同期信号用信号線、ライン同期信号用信号線およびドット同期信号用信号線との合計4つの信号線を含んでいる。

【0018】制御部2は、接続ブロック認識部、転送能力判定部、演算部の各機能を有するものであり、システムバス100に対し、信号線107を介して接続するCPU11と、信号線108を介して接続するROM12と、信号線109を介して接続するRAM13と、信号線110を介して接続する操作パネル14と、信号線111を介して接続するシリアル出力部（以下、本文および図中において、シリアル出力部をSO部と略す）（情報出力部）15と、信号線112を介して接続するシリアル入力部（以下、本文および図中において、シリアル入力部をSI部と略す）（情報入力部）16とを備えている。ここで、CPU11、ROM12、RAM13、操作パネル14は、図17に示すCPU511、ROM512、RAM513、操作パネル514とほぼ同一の機能を有するものであるため、その説明を省略する。SO部15は、信号線101～106を介して直列接続される、読み取部3、記録部4、通信部5、ホストインターフェース部6、情報蓄積部7に対し、CPU11から出力される制御信号をそれぞれ伝達するためのものである。

【0019】図2は、図1における読み取部の要部構成を詳細に示したものである。読み取部3は、バス200に対し、信号線201を介して接続するCPU21と、信号線202を介して接続するROM22と、信号線203を介して接続するRAM23と、信号線204を介して接続するSO部24と、信号線205を介して接続する画像信号インターフェース部25と、信号線206を介して接続するA/D変換部26と、信号線209を介して接続するモータ28と、信号線210を介して接続するセンサ29とを備えている。

【0020】さらに、A/D変換部26に対して信号線208を介して接続するCCD(Charge Coupled Device)27と、画像信号インターフェース部25から信号線211を介して入力される画像データ信号VDを、信号線212を介して出力するバッファ回路30と、信号線213を介して入力されるドット同期信号VCLKを、信号線214を介して画像信号インターフェース部25に出力するバッファ回路31と、信号線215を介して入力されるライン同期信号LSYNCを、信号線216を介して画像信号インターフェース部25に出力するバッファ回路32と、信号線217を介して入力されるページ同期信号PSYNCを、信号線218を介して画像信号インターフェース部25に出力するバッファ回路33とを備えている。

【0021】図3は、図1における記録部の要部構成を詳細に示したものである。記録部4は、バス220に対

し、信号線221を介して接続するCPU41と、信号線222を介して接続するROM42と、信号線223を介して接続するRAM43と、信号線224を介して接続するSO部44と、信号線226を介して接続する画像信号インターフェース部45と、信号線229を介して接続するモータ47と、信号線230を介して接続するセンサ48とを備えている。

【0022】そしてさらに、画像信号インターフェース部45から信号線227を介して接続する露光部46と、信号線231を介して入力される画像データ信号VDを、信号線232を介して画像信号インターフェース部45に出力するバッファ回路49と、画像信号インターフェース部45から信号線233を介して入力されるドット同期信号VCLKを、信号線234を介して出力するバッファ回路50と、画像信号インターフェース部45から信号線235を介して入力されるライン同期信号LSYNCを、信号線236を介して出力するバッファ回路51と、画像信号インターフェース部45から信号線237を介して入力されるページ同期信号PSYNCを、信号線238を介して出力するバッファ回路52とを備えている。

【0023】図4は、図1における通信部の要部構成を詳細に示したものである。通信部5は、バス240に対し、信号線241を介して接続するCPU61と、信号線242を介して接続するROM62と、信号線243を介して接続するRAM63と、信号線244を介して接続するSO部64と、信号線246を介して接続する画像信号インターフェース部65と、信号線248を介して接続する圧縮・伸長部66と、信号線249を介して接続するモデム67と、信号線251を介して接続する回線インターフェース68とを備えている。

【0024】さらに、信号線253を介して入力される画像データ信号VDを、信号線255を介して画像信号インターフェース部65に出力するバッファ回路69と、画像信号インターフェース部65から信号線254を介して入力される画像データ信号VDを、信号線253を介して出力するバッファ回路70と、信号線256を介して入力されるドット同期信号VCLKを、信号線258を介して画像信号インターフェース部65に出力するバッファ回路71と、画像信号インターフェース部65から信号線257を介して入力されるドット同期信号VCLKを、信号線256を介して出力するバッファ回路72と、信号線259を介して入力されるライン同期信号LSYNCを、信号線261を介して画像信号インターフェース部65に出力するバッファ回路73と、画像信号インターフェース部65から信号線260を介して入力されるライン同期信号LSYNCを、信号線259を介して出力するバッファ回路74と、信号線262を介して入力されるページ同期信号PSYNCを、信号線264を介して画像信号インターフェース部65に

出力するバッファ回路75と、画像信号インターフェース部65から信号線263を介して入力されるページ同期信号P SYNCを、信号線262を介して出力するバッファ回路76とを備えている。

【0025】圧縮・伸長部66は、信号線247を介して画像信号インターフェース部65との間で画像信号のやりとりを行い、画像信号の圧縮あるいは伸長を行う。また、モデム67は、信号線250を介して回線インターフェース68に接続されており、回線インターフェース68に出力すべき信号を変調したり、回線インターフェース68から入力される信号を復調したりするものである。回線インターフェース68は、信号線252を介して、アナログ一般公衆回線等の外部回線に接続し、外部回線を通して画像信号の入出力を行うものである。これによって、通信部5は、制御部2から入力される制御信号に基づいて、外部回線との間で画像データの入出力を行う。

【0026】図5は、図1におけるホストインターフェース部の要部構成を詳細に示したものである。ホストインターフェース部6は、バス270に対し、信号線271を介して接続するCPU81と、信号線272を介して接続するROM82と、信号線273を介して接続するRAM83と、信号線274を介して接続するSIO部84と、信号線276を介して接続する画像信号インターフェース部85と、信号線278を介して接続するページメモリ86と、信号線279を介して接続する双方向パラレルインターフェース87とを備えている。

【0027】さらに、信号線281を介して入力される画像データ信号VDを、信号線283を介して画像信号インターフェース部85に出力するバッファ回路89と、画像信号インターフェース部85から信号線282を介して入力される画像データ信号VDを、信号線281を介して出力するバッファ回路90と、信号線285を介して入力されるドット同期信号VCLKを、信号線287を介して画像信号インターフェース部85に出力するバッファ回路91と、画像信号インターフェース部85から信号線286を介して入力されるドット同期信号VCLKを、信号線285を介して出力するバッファ回路92と、信号線288を介して入力されるライン同期信号LSYNCを、信号線290を介して画像信号インターフェース部85に出力するバッファ回路93と、画像信号インターフェース部85から信号線289を介して入力されるライン同期信号LSYNCを、信号線290を介して画像信号インターフェース部85に出力するバッファ回路94と、信号線291を介して入力されるページ同期信号P SYNCを、信号線293を介して画像信号インターフェース部85に出力するバッファ回路95と、画像信号インターフェース部85から信号線292を介して入力されるページ同期信号P SYNCを、信号線291を介して出力するバッファ回路96とを備えている。

【0028】ページメモリ86は、信号線277を介して画像信号インターフェース部85との間で画像信号のやりとりを行い、1ページ分の画像データを格納する。また、双方向パラレルインターフェース87は、信号線280を介して、ホスト装置となるパーソナルコンピュータ（以下、パソコン）88と接続するためのインターフェースであり、この双方向パラレルインターフェース87によって、パソコン88との間で画像信号の入出力をを行うものである。これによって、ホストインターフェース部6は、制御部2から入力される制御信号に基づいて、パソコン88との間で画像データの入出力をを行う。

【0029】図6は、制御部から出力される制御信号のデータフォーマット例である。同図において、制御部2から各サブモジュールに対して出力される制御信号は、大別して3つのブロックB1～B3から構成されている。第1ブロックB1は、発信元を識別するための情報である発信元ID（Identification）を格納する3ビットの領域A1と、受信先を特定するための情報である受信元IDを格納する3ビットの領域A2と、次に送るコマンドあるいはレスポンスの長さを示す情報を格納する2ビットの領域A3から構成されている。

【0030】領域A1およびA2において、制御部2は“000B”で表され、同様に、読取部3は“001B”、記録部4は“010B”、通信部5は“011B”、ホストインターフェース部6は“100B”、情報蓄積部7は“101B”、すべてのサブモジュールは“111B”で表される。なお、“110B”的値は拡張用に空けられている。また、領域A3において、次に送るコマンドあるいはレスポンスの長さが1バイトであるときは“00B”、2バイトであるときは“01B”、3バイトであるときは“10B”、4バイトであるときは“11B”となる。

【0031】また、第2ブロックB2は、コマンドあるいはレスポンスとして用いられる領域A4であり、コマンドとして用いられる場合は、先頭バイトが“01H”、“1xH”～“7xH”（xは任意の値）を格納し、“01H”はステータスの報告、“1xH”は読取部3に対する設定、同様に、“2xH”は記録部4、“3xH”は通信部5、“4xH”はホストインターフェース部6、“5xH”は情報蓄積部7に対する設定を示し、“6xH”は拡張用、“7xH”はすべてのサブモジュールに対する命令を示す。一方、ステータスとして用いられる場合は、“81H”、“9xH”～“FxH”を格納し、“81H”は制御部2の報告、同様に、“9xH”は読取部3、“AxH”は記録部4、“BxH”は通信部5、“CxH”はホストインターフェース部6、“DxH”は情報蓄積部7の報告を示す。なお、“ExH”～“FxH”は拡張用である。また、2バイト目以降は、パラメータの長さによって変化する。

【0032】第3ブロックB3は、受信先が受信したか

否かを示す情報である受信ビットを格納する1ビットの領域A<sub>5</sub>と、データエラーの検査を行うためのチェックサムコードを格納する7ビットの領域A<sub>6</sub>とから構成されている。領域A<sub>5</sub>において、“0”は未受信を示し、“1”は受信済を示す。このように、制御信号は、その内容によって全体として3バイトから6バイトとなる可変長データとなり、制御部2からの送信出力によって各サブモジュールから応答出力が行われる。

【0033】図7および図8は、制御部と各サブモジュールとの接続方法を説明するためのものであり、図7は、サブモジュールを接続する部分を示し、図8は、サブモジュール側の接続部分を示す。図7に示すように、制御部2におけるS0部15からの出力は、信号線301～305を介してSI部16に入力され、全体としてリング状の制御情報伝送路が形成されている。この制御情報伝送路上には、複数の接続用スロット311～314が設けられており、各接続用スロット311～314には、外部端子351、361、371、381と、出力端子352、362、372、382と、入力端子353、363、373、383とが設けられている。

【0034】外部端子351、361、371、381は、プルアップ抵抗Rを介して高電位電源線に接続されており、これら外部端子351、361、371、381とプルアップ抵抗Rとの接続点にはインバータIが設けられ、これらインバータIの出力は後述するバッファ回路Bの制御信号となる。出力端子352、362、372、382は、バッファ回路Bの出力端と信号線301a～304aを介して接続するものであり、入力端子353、363、373、383は、バッファ回路Bの入力端と信号線301b～304bを介して接続するものである。

【0035】また、図8に示すように、サブモジュール400は、その内部にSI部401を有し、さらに、接続用スロット311～314に電気的に接続するために、低電位電源線に接続している外部端子411と、SI部401の出力端に接続する出力端子412と、SI部401の入力端に接続する入力端子413とを備えている。これによって、接続用スロット311～314にサブモジュール400が接続されていない場合には、インバータIの出力は“L”となってバッファ回路Bがイネーブル状態となるため、入力信号は、そのまま次段の接続用スロット311～314に出力される。

【0036】一方、接続用スロット311～314にサブモジュール400を接続した場合には、外部端子351、361、371、381の電位レベルは“L”になるとともに、インバータIの出力は“H”となってバッファ回路Bがディスエーブル状態となる。これによって、信号線301a～304aと信号線301b～304bとは電気的に絶縁状態となり、入力信号は、入力端子353、363、373、383からサブモジュール

400の入力端子413に入力され、サブモジュール400の出力端子412からの出力信号が、出力端子352、362、372、382から次段の接続用スロット311～314に出力される。

【0037】次に、上述の実施例における画像処理装置1の動作例を図9に基づいて説明する。なお、以下の説明では、情報蓄積部7における画像データの転送処理速度を1とした場合、読み取部3、記録部4、通信部5、ホストインターフェース部6の各サブモジュールにおける転送処理速度の比が、それぞれ1/6、-1/3、1/4、1/8となるものとする。

【0038】図9は、画像データの入出力を行う各サブモジュールの動作可能な組み合わせを示したものである。すなわち、画像出力側となるサブモジュールは、読み取部3、通信部5、ホストインターフェース部6のいずれかであり、一方、画像入力側となるサブモジュールは、記録部4、通信部5、ホストインターフェース部6のいずれかである。そして、各サブモジュール同士の組み合わせによって、「コピー」、「送信蓄積」、「ローカルスキャン」、「受信プリント」、「PCファクシミリ受信」、「PCプリント」、「PCファクシミリ送信」の7つの動作モードを実現している。

【0039】図10は、画像データの転送処理速度比に基づいて計算した各動作モードにおける画像データの転送に要する画像信号の占有率と、転送するすべての画像データを100%としたときに必要な最小メモリ量を%表示したものである。ここで、占有率は、入力あるいは出力に使用される2つのサブモジュールの処理性能比の合計で表され、また、必要メモリ量は、メモリの使用量が最小となるように入力あるいは出力の開始タイミングを制御した場合のメモリ量である。すなわち、2つのサブモジュールの処理性能比をA、Bとした場合、A>Bであれば、1-B/Aで表される。なお、図11に、各組み合わせ動作を2つ同時に動作させた場合の画像信号占有率および必要メモリ量を示す。

【0040】図12は、画像処理装置の起動時における制御部のイニシャル処理を示すものであり、イニシャライズ時に制御部2が各サブモジュールからステータスを受信し、現在のシステム全体の状況から組み合わせ動作の可否を判断するための準備を完了するまでを示す。

【0041】まず、制御部2からすべてのサブモジュールに対してステータス報告を求める命令を送信する(ステップS101)。すると、各サブモジュールは、現在のステータスを制御部2宛に返信する。詳しくは、リング状に接続された各サブモジュールは、ステータス報告を求める要求命令が送られてくると、受信IDが自機IDの場合に限り、データを取り込み、受信ビットを“1”に書き換えて、次に転送する。一方、自機以外のIDであった場合にはそのまま次段に転送する。

【0042】データの発信元である制御部2は、自分が

送信したデータが戻ってきたとき、受信ビットが“1”になっていることを確認し、“1”となつていれば、受信先がデータを取り込んだものと判断する。このようにして、制御部2は、すべてのサブモジュールからステータス受信が完了したか否かをチェックし（ステップS102）、完了していない場合には（ステップS102；N）、さらに、一定時間以上経過したか否かを確認する（ステップS103）。

【0043】ステップS103の判断処理において、一定時間経過していなければ（ステップS103；N）、ステップS102の処理を繰り返し実行し、一方、一定時間経過していれば（ステップS103；Y）、受信を確認したサブモジュールだけが実装されているものと判断する（ステップS104）。そして、ステップS102の判断処理において、すべてのステータス受信を完了した場合（ステップS102；Y）と同様に、実装されたサブモジュールの処理能力を認識し（ステップS105）、各動作モードにおいて必要な情報であるメモリ容量（図10参照）等を演算する（ステップS106）。以上の処理において、サブモジュールがすべて正常に動作しており、ID=1、2、3、4、5からはすべて正常のステータスを受け取ったものとすると、読み取部3、記録部4、通信部5、ホストインターフェース部6、情報蓄積部7のすべてが使用できることがわかる。

【0044】図13は、通常状態における動作実行手順を示すものである。まず、動作要求の有無を確認し（ステップS201）、ある動作モードによる動作要求があった場合（ステップS201；Y）、制御部2は現在他の動作モードによって動作しているか否かを確認する（ステップS202）。ステップS202の判断処理において、他の動作モードで動作しているものと判断されると（ステップS202；Y）、同時に動作可能な動作モードであるか否かを確認する（ステップS203）。そして、ステップS203の判断処理において同時動作が可能であるものと判断すると（ステップS203；Y）、図11に示す情報に基づいて、現在の状態で動作可能か否かを判断する（ステップS204）。

【0045】ステップS204の判断処理において、動作可能である場合（ステップS204；Y）、すなわち、現在の画像信号占有率およびメモリ残量が、新しい動作要求に対応できるだけ確保できる場合、あるいは、ステップS202の判断処理において、他に動作していなかった場合（ステップS202；N）には、要求のあった動作モードで動作を実行する（ステップS205）。一方、ステップS201の判断処理において、動作要求がない場合（ステップS201；N）、または、ステップS203、またはステップS204の判断処理において、動作不可能と判断された場合（ステップS203、S204；N）、共にステップS201からの処理を実行する。

【0046】図14～図16は、画像処理装置においてコピー動作を行った場合の画像データの移動状態を示すものであり、図14は記録開始時、図15は記録途中、図16は記録終了時を示す。

【0047】コピー動作を行う場合、操作パネル14から動作モードとして、コピーモードを選択し、続いて、コピー枚数、画像の大きさ（A4）等の指示情報を入力する。制御部2はコピー動作が可能であることを確認すると、各パラメータの中から画像サイズを設定命令とする制御信号を読み取部3および記録部4に対して送信する。続いて、操作パネル14からの動作開始指示により、制御部2は、情報蓄積部7のメモリ使用量が最も少なくなるタイミングで、読み取り開始命令を読み取部3に対して送り、画像データを入力して記録を開始する命令を記録部4に対して送る。本例では、図14に示すように、読み取りが全体の50%終了した時点で記録を開始する。

【0048】制御部2は、読み取りを開始した後は、読み取部3の処理速度に従って、読み取部3から1ライン分の画像データを出力して情報蓄積部7に格納する命令、および、記録開始後は記録部3の処理速度に従って、情報蓄積部7から1ライン分の画像データを出力し、記録部4に入力する命令を順次発行する。実際の信号のタイミングも含めて説明すると、まず、読み取部3から情報蓄積部7へのデータ転送処理において、制御部2は、読み取部3の処理速度に対応して、読み取部3が1ライン分の処理を終了するタイミングで、その1ライン分の画像データを出力し、情報蓄積部7に格納する命令を発行する。すると、読み取部3は、読み取った1ライン分の画像データを、ラインおよびドット同期信号に同期させて出力する。情報蓄積部7は、その1ライン分の画像データを取り込み、蓄積する。

【0049】次に、情報蓄積部7から記録部4へのデータ転送処理において、制御部2は、記録部4の処理速度に対応して、記録部4が前のラインの処理を終了するタイミングで、次の1ライン分の画像データを記録部4に出力し、記録部4が取り込む命令を発行する。情報蓄積部7は、1ライン分の画像データを読み出し、ラインおよびドット同期信号に同期させて出力する。記録部4は、その1ライン分の画像データを取り込み、1ライン分の記録処理を行う。このように、情報蓄積部7は読み取部3からの画像データをライン単位で管理し、記録部4に送る画像データを先頭から順番に処理する。これによって、異なる処理を並列に行う場合でも、同時に動作することが可能となる。そして、制御部2は、各サブモジュールからの動作終了通知を待つ。

【0050】以上説明したように、記録部4のドット処理速度が読み取部3の2倍であるときには、コピー時には読み取り処理を先行する。すなわち、図14に示すように、読み取部3から全ラインの50%を情報蓄積部7に格

納した時点で、情報蓄積部7から記録部4への送出を開始する。以降は、読み部3から情報蓄積部7の1ラインのデータ転送時間で、情報蓄積部7から記録部4への2ラインのデータ転送を行うことを連続して実行することにより、読み部3および記録部4を停止させることなくコピーを完成させることができる（図15、図16参照）。

【0051】コピー動作は、以上の手順によりようになるが、コピーが終了する前に、例えば、PCファクシミリ送信の動作開始要求があった場合、続いて以下の処理を実行する。すなわち、操作パネル14から入力されたPCファクシミリ送信の開始要求に対して、現状の動作の占有率およびメモリ残量から同時動作が可能であるか否かを判断し、同時動作が可能であると判断すると、コピー動作時と同様の命令を、通信部5およびホストインターフェース部6に送り、PCファクシミリ送信の動作を開始する。そして、制御部2は各サブモジュールからの動作終了通知を待つ。そして、必要なサブモジュールが使用中であったり、画像処理性能が低いために占有率がオーバーしてしまう、また、情報蓄積部のメモリ容量が少なく、必要メモリ量をオーバーしてしまう等の理由で、同時動作が不可能だった場合には、現在動作中の動作が終了した時点で動作を開始する。

【0052】以上説明したように、本実施例では、リング状に構成された制御情報伝送路上に、サブモジュールを接続するための接続用スロットを複数設け、これによってサブモジュールを接続する方法によって、新規のサブモジュールを後から増設することが容易に可能となり、システムの拡張性を高めることができる。また、情報蓄積部7を設けることにより、データ転送速度の異なるサブモジュールを接続しても、各サブモジュールの性能を100パーセント有効に利用することができる。

#### 【0053】第1の実施例における第1の変形例

【0054】各サブモジュールにおける処理能力情報は、あらかじめ制御部2内に格納されていてもよく、また、各サブモジュールごとに持たせておき、制御部2に対して報告するように構成してもよい。

#### 【0055】

【発明の効果】以上説明したように、請求項1記載の発明では、制御手段から出力する制御情報を、直列伝送路となる制御信号線を介して、すべての画像処理ブロックに伝送することができるため、制御手段は、画像処理ブロックの増加に伴う入力部および出力部の増加を抑えることができ、高い拡張性を維持したまま、制御を行うことができる。また、請求項2記載の発明では、目的の画像処理ブロックに対して正確に制御情報を伝達することができ、確実な制御を行うことができる。

【0056】請求項3記載の発明では、転送能力の低い画像処理ブロックについては、バッファメモリを利用してあらかじめ画像データを蓄積しておくことで、転送能

力の高い画像処理ブロックの処理速度を犠牲にすることなく、効率よく画像データを転送することができる。

【0057】請求項4記載の発明では、画像処理ブロックの少なくとも1つを画像データ信号を蓄積するためのバッファメモリとするように構成し、任意の容量をもつたバッファメモリを増設することが容易に実現できる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例における画像処理装置の要部構成を示す図である。

10 【図2】 図1における読み部の要部構成を示す図である。

【図3】 図1における記録部の要部構成を示す図である。

【図4】 図1における通信部の要部構成を示す図である。

【図5】 図1におけるホストインターフェース部の要部構成を示す図である。

【図6】 制御部から出力される制御信号のデータフォーマット例を示す図である。

20 【図7】 サブモジュールを接続すべき部分の要部を示す図である。

【図8】 サブモジュール側の接続部分の要部を示す図である。

【図9】 画像データの入出力を行う各サブモジュールの動作可能な組み合わせを示す図である。

【図10】 画像データの転送処理速度比に基づいて計算した各動作モードにおける画像信号の占有率と必要な最小メモリ量を示す図である。

30 【図11】 各組み合わせ動作を2つ同時に動作させた場合の画像信号占有率および必要メモリ量を示す図である。

【図12】 画像処理装置の起動時における制御部のイニシャル処理を示す図である。

【図13】 通常状態における動作実行手順を示す図である。

【図14】 画像処理装置においてコピー動作を行った場合の記録開始時における画像データの移動状態を示す図である。

40 【図15】 画像処理装置においてコピー動作を行った場合の記録途中における画像データの移動状態を示す図である。

【図16】 画像処理装置においてコピー動作を行った場合の記録終了時における画像データの移動状態を示す図である。

【図17】 従来の画像処理装置の要部構成を示す図である。

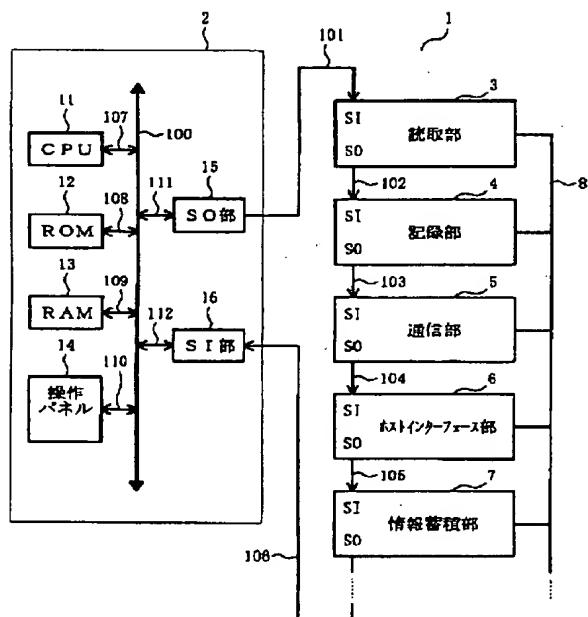
#### 【符号の説明】

1…画像処理装置、2…制御部（制御手段）、3…読み部（画像処理ブロック）、4…記録部（画像処理ブロック）、5…通信部（画像処理ブロック）、6…ホストイ

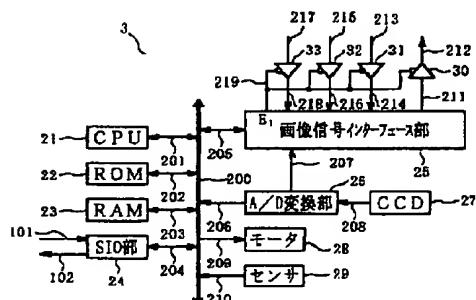
ンターフェース部（画像処理ブロック）、7…情報蓄積部（画像処理ブロック兼バッファメモリ）、8…信号線（画像信号線）、11…CPU、12…ROM、13…RAM、14…操作パネル、15…SO部（情報出力

部）、16…SI部（情報入力部）、24、44、64、84…SI部（情報伝送部）、100…システムバス、101～112…信号線（制御信号線）

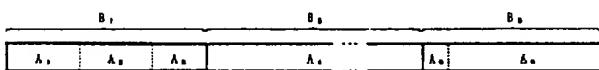
【図1】



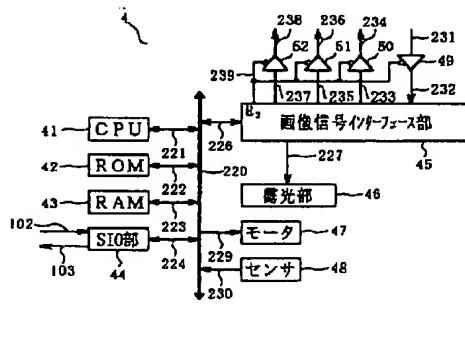
【図2】



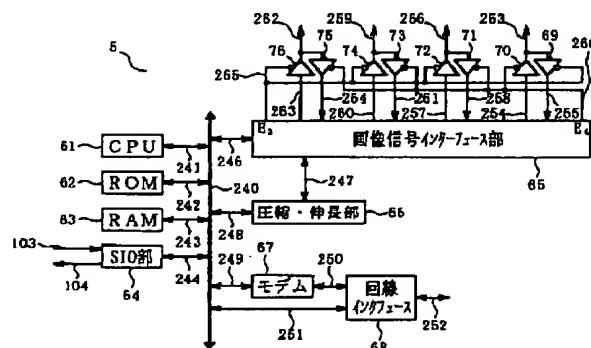
【図6】



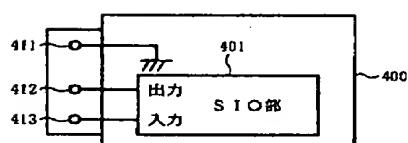
【図3】



【図4】



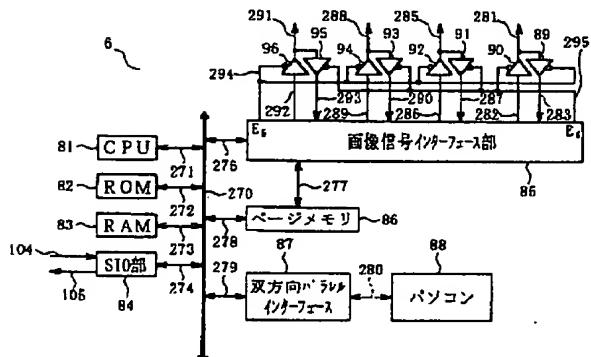
【図8】



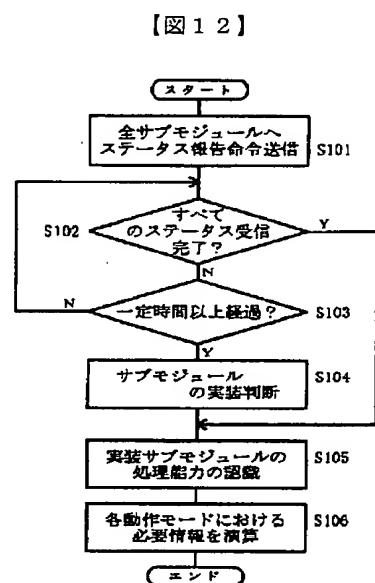
【図11】

組み合せ	画像信号占有率	必要メモリ量
コピー+PCファシリティ送信	87.5%	100%
コピー+PCファシリティ受信	87.5%	100%
受信リント+ローカルスキン	87.5%	50%
PCカセット+送信蓄積	87.5%	95.8%

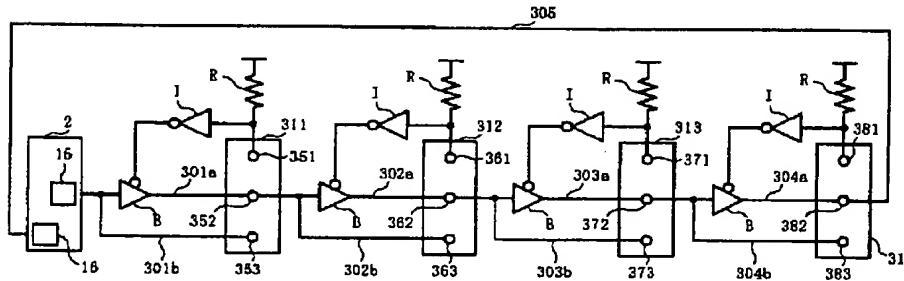
〔图5〕



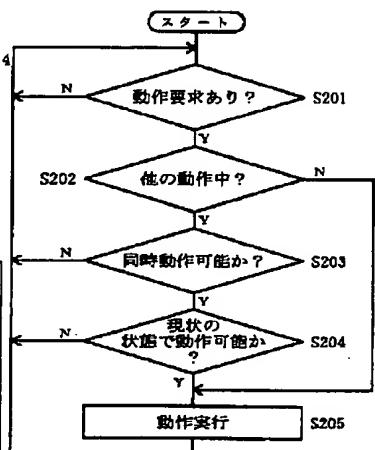
[図 7]



【图 13】



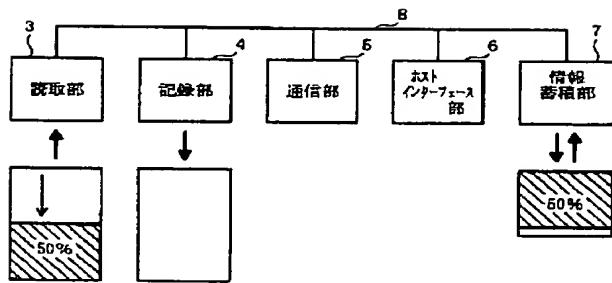
[图 9]



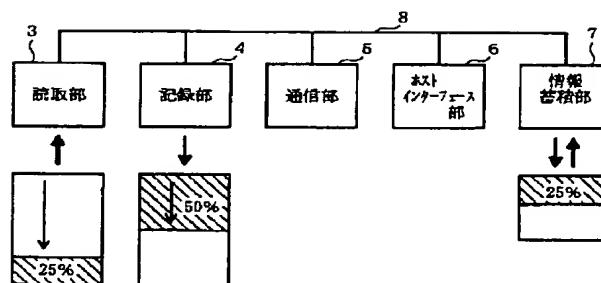
[図10]

画像出力側	統取部	通信部	ホスト インターフェース部
記録部	コピー動作 占有率50% 必要 $\pm$ 5%	受信プリント動作 占有率58.3% 必要 $\pm$ 2.5%	P Cプリント動作 占有率45.8% 必要 $\pm$ 2.6%
通信部	送信蓄積動作 占有率41.7% 必要 $\pm$ 3.3%		P Cファクシミリ送信動作 占有率37.5% 必要 $\pm$ 5.0%
ホスト インターフェース部	ローカルスキャン動作 占有率29.2% 必要 $\pm$ 2.5%	P Cファクシミリ受信動作 占有率37.6% 必要 $\pm$ 6.0%	

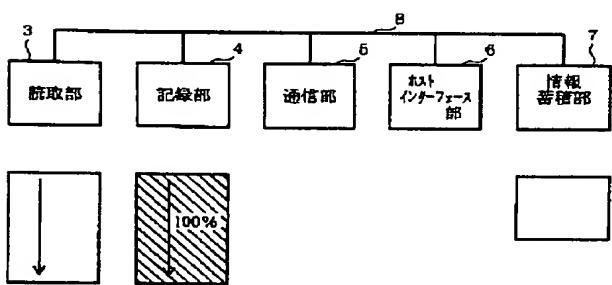
【図14】



【図15】



【図16】



【図17】

